

基于 FPGA 和 ADS830 的激光干涉信号高速数据采集系统的设计^{* 1}

段苏楠^{1,2)} 郭唐永^{1,2)} 邹彤^{1,2)} 李欣^{1,2)} 李世鹏^{1,2)}

(1) 中国地震局地震研究所(地震大地测量重点实验室), 武汉 430071
(2) 中国地震局地壳应力研究所武汉科技创新基地, 武汉 430071

摘 要 基于 FPGA 平台, 利用 ADS830 芯片, 设计了一种激光干涉信号的高速数据采集系统, 并将转换后的数据经过 FPGA 内部缓存存储到内部 SRAM。

关键词 激光干涉信号; FPGA; ADS830; 数据采集; 转换

中图分类号: TH762

文献标识码: A

HIGH-SPEED DATA ACQUISITION SYSTEM OF LASER INTERFEROMETER SIGNAL BASED ON FPGA AND ADS830

Duan Sunan^{1,2)}, Guo Tangyong^{1,2)}, Zou Tong^{1,2)}, Li Xin^{1,2)} and Li Shipeng^{1,2)}

(1) Key Laboratory of Earthquake Geodesy, Institute of Seismology, CEA, Wuhan 430071
(2) Wuhan Base of Institute of Crustal Dynamics, CEA, Wuhan 430071

Abstract By using the chip ADS830, we designed a high-speed data acquisition system of laser interferometer signal based on FPGA, then saved the converted data to the internal SRAM through the FPGA internal cache.

Key words: laser interference signal; FPGA; ADS830; data acquisition; conversion

1 引言

A/D 转换是将输入的模拟信号以二进制数字输出的过程, 依据香农(Shannon)采样定理: 为了不失真地恢复模拟信号, 采样频率(f_s)应该不小于模拟信号频谱中最高频率(f_{\max})的 2 倍^[1], 即 $f_s \geq 2f_{\max}$ 。通过 A/D 转换进行数据采集是获取信息的

重要途径, 而数据采集的好坏主要取决于 A/D 转换的精度和速度。在激光干涉信号数据采集系统中, 信息量较大, 对 A/D 转换器的速度要求高^[2]。主动型芯片 ADS830 具有速度快、体积小、功耗低等优点^[3], 而作为可编程逻辑器件的 FPGA 具有开发周期短, 成本低, 处理速度高等优点^[4], 因此选择以 FPGA 为平台对 ADS830 转换数据进行传送和存储。

* 收稿日期: 2013-08-07

基金项目: 科技部高精度绝对重力仪研制与产业化示范项目(2012YQ100225)

作者简介: 段苏楠, 男, 1988 年生, 研究方向: 观测技术. E-mail: duansunan95@126.com

2 激光干涉信号高速数据采集系统

2.1 绝对重力仪中激光干涉信号的特点

经典绝对重力仪中测量块在自由落体过程中,激光干涉仪产生的测试光束和参考光束重合产生干涉条纹。干涉条纹经过雪崩光电二极管 (APD) 变为频率为 6 MHz 左右的连续模拟信号^[5](图 1)。一般情况下,通过世界时间间隔计数器计算条纹发生的绝对时间,结合定标计数器给出的干涉条纹位置信息可以计算出绝对重力值^[6,7]。但传统的时间系统较为复杂,现在经过 A/D 转换进行数据采集,在处理器上还原出模拟信号的波形,利用新的算法对干涉信号波形整体处理可以更加方便准确地计算重力值^[2]。

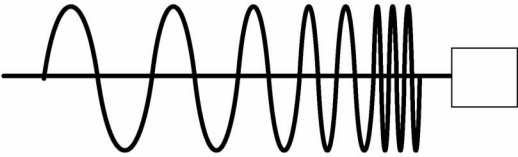


图 1 激光干涉条纹经过 APD 后的模拟信号
Fig. 1 Analog signal of laser interference fringes after APD

2.2 数据采集框图

基于数据采集系统的功能与特点,综合考虑激光干涉信号的特点,激光干涉信号高速数据采集系统主要由转换电路和 FPGA 两部分组成。具体数据采集模块框图如图 2 所示。

2.3 芯片 ADS830

ADS830 是 Texas Instruments 公司生产的 8 位 CMOS 型模数转换器,工作电压为单端 +5 V,支持差分输入,内部有 8 位量化器、高带宽跟踪保持器以及高精度内部参考电压,同时还允许用户利用外部

参考电压。它内部采用数字误差校正技术,使得失真较低。

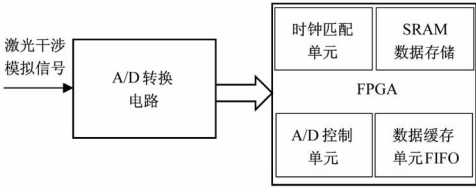


图 2 数据采集系统结构框图
Fig. 2 System structure diagram of data acquisition

ADS830 信噪比 (SNR) 为 49.5 dB,最大采样频率为 60 MHz,单端输入电压范围为 1.5 V ~ 3.5 V。在连续采样情况下,完成一次转换的最大时间为 100 μ s,最短时间为 16.6 ns,转换信号输出延迟 4 个时钟周期。ADS830 的工作时序图如图 3 所示。

2.4 FPGA 简介及存储器的选择

FPGA(现场可编程门阵列)。它的结构主要由 3 部分组成:1)一个二维的逻辑块阵列,构成了其逻辑组成核心;2)输入/输出块;3)连接逻辑块的互连资源。随着超大规模集成电路工艺的不断提高,FPGA 的规模也越来越大,它的单片逻辑门数已可达上百万门,功能也不断增强。用户可以在其基础上简单快捷地完成设计^[8]。设计采用芯片 EP4CE115F29。

使用 FPGA 设计数字系统电路主要有如下特点:
1)设计灵活。FPGA 是由存放在片内 RAM 中的程序来设置其工作状态的,因此,工作时需要对片内的 RAM 进行编程。用户可以根据不同的配置模式,采用不同的编程方式。

2)集成度高。一片 FPGA 可代替几片、几十片乃至上百片中小规模的数字集成电路芯片。

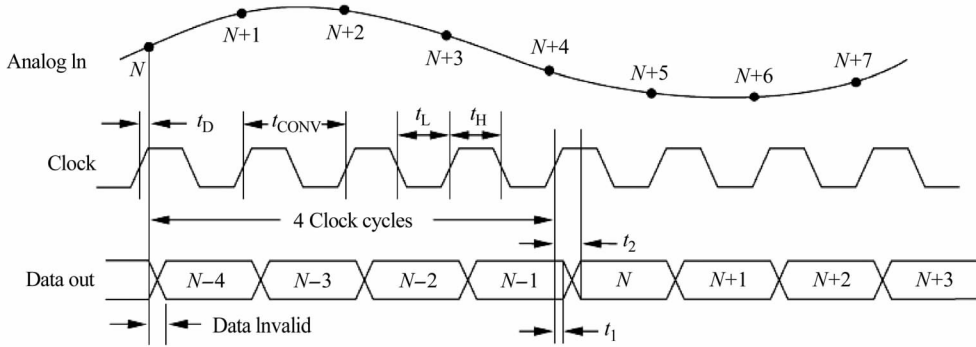


图 3 ADS830 工作时序图
Fig. 3 Timing diagram of ADS830

3)工作速度快。FPGA 的设计思想是并行的设计思想,而不是顺序执行的软件思想,这样在设计上就大大提高了系统的工作速度。

4)降低成本。随着 FPGA 的工艺发展,FPGA 已经克服自身价位高的缺点,具有较高的性价比。

综合考虑数据转换结果的精度和速度,选用 FPGA 开发板上集成的 IS61WV102416BLL 型 SRAM 芯片,容量为 2 MB,字长为 16。系统使用的是 8 bit 的 A/D 转换器,IS61WV102416BLL 型 SRAM 芯片的字长和容量都能满足系统要求。型芯片的读写主要由控制信号来支配,控制信号主要有:CE、OE、WE、UB、LB。

3 数据采集设计

3.1 数据采集流程

在整个数据采集接口设计中,利用 VHDL 语言依次实现时钟匹配、ADS830 的启动、查询和停止,以及数据存储等数据采集过程。具体采集流程图如图 4 所示。

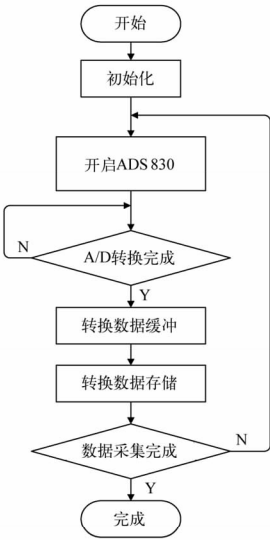


图 4 数据采集流程图

Fig. 4 Flow chart of data acquisition

3.2 时钟匹配单元设计

激光干涉信号高速数据采集系统采用的是 Cyclone IV 系列的 EP4CE115F29 型 FPGA,它提供的时钟信号频率为 50 MHz,ADS830 的最大时钟信号频率为 60 MHz,FPGA 开发板上 SRAM 在标准单端 3.3 V 电压下需要的时钟频率为 125 MHz,因此需要设计相应的单元解决 ADS830、SRAM 与 FPGA 时钟

频率相匹配的问题。

FPGA 芯片中嵌入的锁相环 PLL 可以用来实现 2 个不同设备之间的时钟同步,减小相移,从而减小和调整时钟信号的延时和建立时间,具有倍频、分频、相移、占空比系数设定和外部时钟输出等功能,实现对时钟的各种操作。利用 Altera 公司的 Quartus II 软件可以很方便地对 PLL 进行设置。使用软件中的菜单启动向导,在宏功能列表中的 I/O 组中选择 ALTPLL,设置初始时钟的频率为 50 MHz,ALL-PLL 将会根据输出频率自动选择锁相环的设置,自动选择最相近的参数。通过这种方法分别实现 ADS830、SRAM 与 FPGA 时钟相匹配的问题。

3.3 ADS830 外围电路设计

ADS830 的外围电路如图 5 所示。为充分利用放大器的低失真性能,采用正负 5 V 双电源给 OPA642 供电,这样的优点是可利用参考地的双极性信号的变化来驱动放大器从而使运算放大器在线性区域内工作而使得信号失真较低。放大后的单端模拟信号通过 47 pF 的耦合电容输入至 ADS830。同时通过两个大小均为 1 kΩ 电阻将底部参考 (REFB) 和顶部参考 (REFT) 相连接,可以满足转换器 ADS830 对输入信号共模的要求。

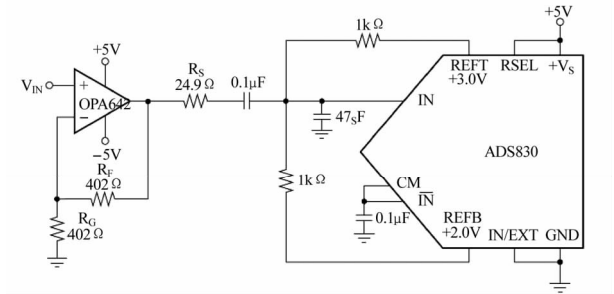


图 5 ADS830 外围电路图

Fig. 5 External circuit of ADS830

3.4 数据缓冲单元设计

数据缓冲单元利用 FPGA 中的 FIFO 进行设计。FIFO 即先进先出缓存器,它与其他存储器的最大区别就是没有外部读写的地址线,通过内部指针自加自减实现数据的顺序写入或者顺序读取。FIFO 通常使用在不同速度的接口数据交换中,通过 FIFO 使得时序分别符合两个接口的特定速度,以进行数据传输。

每一个采集进来的数据都存入片内 FIFO 中,根据设定的存储深度,FIFO 保持相应的长度。当进

入 FIFO 的数的个数大于这一深度时,将最先进入 FIFO 的数读出,以保证存入 FIFO 中的数据个数始终与存储深度的大小相等。当发出满足触发条件的脉冲时,FIFO 根据设定的触发点位置要求再写入相应个数后停止存储数据并通知 Nios II 来读取。利用 Quartus II 系统自带的可参数化宏模块进行 FIFO 模块定制,数据宽度选择 8 位,深度选择 1 024,即深度为 1 024 个字节的 8 位存储单元。部分源代码如下:

```
reg u_slwr,u_slrd,u_sloe;  
reg [15:0] data_out;  
assign SLCS = 1'b0;// FIFO 的片选信号  
assign FIFOADR[1:0] =2'b10;// 选择端点缓冲区  
assign IFCLK = ~CLK;// 同步时钟  
assign SLWR = u_slwr;// 写 FIFO 选通信号  
assign SLRD = u_slrd;// 读 FIFO 选通信号  
assign SLOE = u_sloe;// 使能数据总线输出  
assign o_FD = data_out;// 数据总线输出  
reg [1:0] STATE;// 状态寄存器  
always@ (negedge CLK)
```

3.5 数据存储单元设计

数据存储过程中,ADS830 都被置于关闭状态。在进行写操作之前,控制信号 CE、OE、WE、UB 和 LB 都置为低电平,存储器停止工作。准备进行写操作时,将控制 CE、UB 和 LB 置为高电平,其他控制信号仍然保持低电平,同时向地址输入线送入数据存储地址。在下一个进程到来时,把控制信号 WE 也置为高电平,其他控制信号保持原来状态。

SRAM 在接收到输出使能控制信号 WE 的上升沿时,通过地址寻址,自动把输入/输出总线上的数据送到地址线数据对应的存储单元,完成数据的写操作,下一个进程来时,把控制信号 CE、OE、WE、UB 和 LB 再次置为低电平。

4 结论

根据绝对重力仪激光干涉信号的特点,设计了基于 FPGA 的数据采集系统,利用 ADS830 进行数据转换,利用 FPGA 进行编程控制 ADS830 的状态运行,同时进行 FPGA 与 ADS830 以及内部 SARM 的时钟匹配、数据缓冲、数据存储等处理,实现激光干涉信号的数据采集。

参 考 文 献

1 潘松,黄继业. EDA 技术实用教程[M]. 北京:科学出版社,2002.
2 胡华,等. 新型高精度绝对重力仪[J]. 物理学报,2012,61(9):1-8.
3 Texas Instruments 公司. ADS830 芯片手册[S]. 2001.
4 杨海钢,孙嘉斌,王慰. FPGA 器件设计技术发展综述[J]. 电子与信息学报,2010,32(3):714-727.
5 中国地震局地震研究所编译. FG5——绝对重力仪用户手册[S]. 2006.
6 吴琼. 高精度绝对重力仪关键技术研究[D]. 中国地震局地球物理研究所,2011.
7 吴书清,等. 基于 FPGA 的重力仪干涉条纹和时间间隔计数[J]. 计量学报,2010,31(6):530-532.
8 包明,赵明富,陈渝光. EDA 技术与数字系统设计[M]. 北京:航空航天大学出版社,2002.