

数字抽取滤波器的 DSP 优化设计*

谭耀银^{1,2)} 廖成旺^{1,2)} 邓涛^{1,2)} 赵凤花^{1,2)} 丁炜^{1,2)} 陈卫明^{1,2)}

(¹⁾中国地震局地震研究所,武汉 430071
(²⁾地壳运动与地球观测实验室,武汉 430071)

摘要 为了降低地震数据采集系统的成本和功耗,采用数字信号处理器(DSP)实现 Σ - Δ 模数转换器中的数字抽取滤波器算法。通过采取查表法、倒序循环遍历法以及模拟循环寻址法等优化方法,以较低工作频率实现了四通道四级抽取滤波运算,达到了系统设计的要求。

关键词 DSP 数字抽取滤波器 优化 查表法 倒序循环遍历

中图分类号:TH762.2

文献标识码:A

OPTIMAL DESIGN OF DIGITAL EXTRACTION FILTER WITH DSP

Tan Yaoyin^{1,2)}, Liao Chengwang^{1,2)}, Deng Tao^{1,2)}, Zhao Fenghua^{1,2)}, Ding Wei^{1,2)} and Chen Weiming^{1,2)}

(¹⁾ Institute of Seismology, CEA, Wuhan 430071
(²⁾ Crustal Movement Laboratory, Wuhan 430071)

Abstract Digital Signal Processor (DSP) is used as a digital decimation filter to lower the cost and power consumption of earthquake data acquisition system. The program is optimized after the look-up table method, reverse circular traversal method and circular addressing simulation method to implement four-stage and four-channel filtering under low operating frequency, so as to meet practical requirement.

Key words: DSP, digital decimation filter, optimization, look-up table method, reverse circular traversing

1 引言

地震采集系统是人类获取地震信息的重要桥梁。目前,基于 Σ - Δ 原理的模数转换器已广泛应用于地震采集系统。 Σ - Δ 模数转换器是由模拟部分的 Σ - Δ 调制器和数字部分的抽取滤波器组成,其中数字抽取滤波器是核心,它的功能是滤除信号基带外的噪声和降低采样率^[1]。在本采集系统设计中,考虑到系统的成本和灵活性,以及流动观测对系统功耗的敏感性,采用DSP取代 Σ - Δ 模数转换器组件中数字抽取滤波器芯片。对于使用DSP实现抽取滤波算法,文献[2,3]已做了验证,以目前的DSP硬件水平,实现多级的数字抽取滤波算法是完全可行

的。为了降低功耗,希望DSP的工作频率越低越好,需要对程序算法进行优化以便以尽可能高的程序效率实现算法运算。对多级抽取滤波结构,如何设计和优化DSP程序算法以提高效率的报道尚不多见。本文针对四级数字抽取滤波器结构,通过查表法、倒序循环遍历法以及模拟循环寻址等方法优化设计,实现了四通道的抽取滤波运算的DSP程序,有效地减少了DSP的运算量,提高了DSP的效率。

2 数字抽取滤波器实现方法与DSP

数字抽取滤波器是通过抽取和数字滤波运算,把 Σ - Δ 调制器输出的高速1位比特流转换成高分

* 收稿日期:2007-09-13

作者简介:谭耀银,男,1980年生,硕士研究生,研究方向是地球物理仪器与方法. E-mail: Anndy_tan@163.com

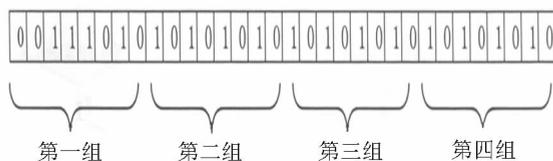
辨率低速率的数字信号,它的数学原理文献[4]已有论述。从本质上说,数字抽取滤波器就是一个求平均值的低通滤波器,在 seismic 采集系统中,常需要采用线性相位的 FIR 滤波器来完成抽取滤波运算。FIR 滤波器结构包含两个参数:一个是滤波器系数,另一个是输入的采样点。实现 FIR 滤波器一般有两种方法:一种是延迟线法,另一种是环形缓冲区法。延迟线法是将输入的采样点放到由连续存储单元组成的延迟线中,把延迟线中采样点与滤波器系数乘加就完成了滤波运算,其缺点是每次滤波运算后需要对延迟线中的数据进行移位操作;环形缓冲区法是在存储空间中维护一个循环的缓冲区,类似一个“滑动窗”,窗内包含要处理的最新数据。这个“滑动窗”是通过在逆时针计数方式下增加缓冲区地址来实现的,当地址增加到缓冲区的末端时,重新设计地址指向缓冲区的开始处,这样进入窗的新数据就会自动地覆盖老数据,从而避免了数据的移位操作。

数字信号处理器(DSP)是一种特别适合于数字信号处理运算的微处理器,其主要应用是实时快速地完成各种数字信号处理算法。采用 DSP 实现抽取滤波器算法有明显的优越性,例如它内部有独立的硬件乘法器,可以在单时钟周期内完成一次乘加运算,这对于完成大量的乘加运算有很大的帮助;此外利用其特有的循环寻址方式可以很方便地实现“滑动窗”的操作^[5]。

3 DSP 程序优化设计与结果

3.1 用查表法实现第一级抽取滤波运算

在本系统中,DSP 芯片选用 TI 公司的 32 位浮点 DSP - TMS320VC33,多级抽取数字滤波器采用现有的设计方案,分四级抽取,第一级滤波器的阶数是 32,抽取因子是 8,四个通道的高速比特流数据经过同步串口进入 DSP。考虑到第一级滤波器输入是 0 或者 1 的比特流数据,采用一个 32 位的存储单元存放一个通道的第一级滤波采样点,存储结构如下:



滤波运算就是把存储单元里的数据与滤波系数的乘加。由于第一级的抽取因子是 8,正好把滤波器系数和输入采样点分别分成 4 组(这样分组是为了建表和查表方便),每组 8 个,那么滤波运算就是这 4 组数据与相应滤波器系数的乘加,即:

$$y(n) = \sum_{i=0}^7 X_i \times H_i + \sum_{i=8}^{15} X_i \times H_i + \sum_{i=16}^{23} X_i \times H_i + \sum_{i=24}^{31} X_i \times H_i$$

式中, X_i 表示输入采样点, H_i 表示滤波器系数, $y(n)$ 表示滤波结果。如果把 4 组乘加运算分别通过查表来实现就可以避免每次滤波时的大量乘加运算,考虑到每一组采样点共有 256 种组合,把这些组合分别与 4 组滤波器系数相乘就得到 4 张 256×1 的表。把每组采样点的值作为查表的偏移量,4 组采样点就产生 4 个查表结果,将 4 个结果累加就是滤波运算的结果,滤波后使用一条移位指令即可完成对存储单元数据的移位操作。以经 4 级抽取滤波运算后输出一个数字信号为准,第一级采用查表法与直接计算乘加的运算量比较见表 1。在多级抽取滤波运算中,由于第一级过采样率非常高,大量的滤波运算都集中在这一级中,采用查表方法实现第一级抽取滤波算法可以大大地减少运算量,这对于完成多通道多级抽取滤波运算具有重要意义。

表 1 查表法与直接计算运算量的比较

Tab. 1 Comparison between calculations with looking up table method and directive computation

滤波方式	所需指令(条)	运算次数	运算量
直接计算	32	320	10 240
查表法	5	320	1 600

3.2 采取倒序循环遍历法充分利用中断等待时间

DSP 是通过同步串口中断把 4 个通道的比特流数据读取并放入一个中断缓冲区中,同步串口产生中断的时间间隔约 $16 \mu s$,充分利用这些中断间隔时间对于提高 DSP 的效率是非常重要的。实现多级抽取滤波运算的流程有两种:一种是顺序循环遍历法,另一种是倒序循环遍历法。其流程见图 1,其中 C1、C2...C4 是第一级、第二级...第四级计数器,初始值等于该级的抽取因子,当计数器值减到 0 时就开始相应的滤波运算;F1、F2...F4 是第一级、第二级...第四级的滤波运算,Intbuf 是中断缓冲区,DSP 在中断服务程序里把数据放到此缓冲区中。从流程图可见,顺序循环遍历法在数据没有达到抽取因子时,都必需返回判断中断缓冲区是否有数据的地方,若没有数据就等待,造成 DSP 时间的浪费。本文采取倒序循环遍历方法,程序流程是从最后一级开始判断,若计数器值等于 0 则执行滤波运算,否则就跳到下一级,这样设计的优点是可以利用中断等待时间完成一些滤波运算,例如:当完成第一级滤波运算后 C2 减到 0 了,程序就跳到第四级处,若 C4、C3 都不

为 0,则执行 F2 滤波运算,恢复 C2 且 C3 减 1,此时 C3 减到 0,程序继续往下运行至判断中断缓冲区是否有数据处,若有数据则继续往下执行,若没有数据则跳到第四级处,此时 C4 不为 0,而 C3 等于 0,于是

就执行 F3 滤波运算,恢复 C3 且 C4 减 1,接着程序继续往后执行,由此可见中断间隔时间被用于完成 F3 滤波运算,从而提高了 DSP 的效率。

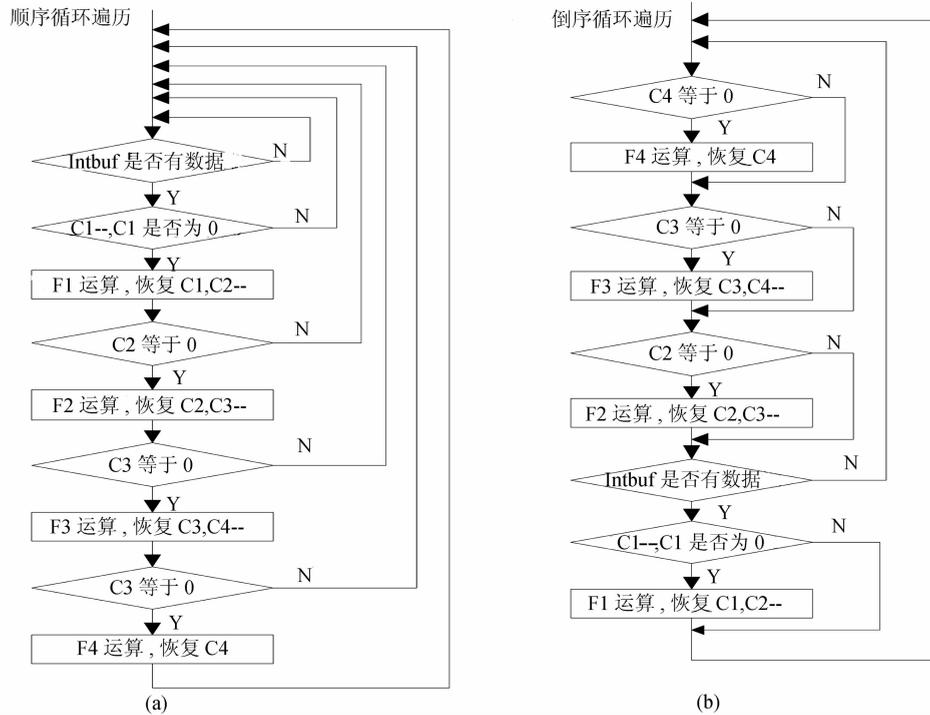


图 1 顺序循环遍历与倒序循环遍历

Fig. 1 Sequent circular traversing (a) and reverse circular traversing (b)

3.3 模拟循环寻址避免数据移位操作

利用 TMS320VC33 的循环寻址可以很方便地实现数字信号处理中的 FIR、卷积和相关等运算,但在分配循环缓冲区时,必须遵守两个标准^[5]:1) 通过设定块大小寄存器 BK 的值来确定循环寻址缓冲区的大小,且 BK 的值必需小于或等于 64K;2) 需满足公式: $2K > R$, 其中 K 是循环缓冲区起始地址(二进制)最低有效 0 的个数, R 是 BK 寄存器的值。此外,只要大小一致,可以有多个循环缓冲区。但是,在多级抽取数字滤波器中,由于滤波器的阶数不相等,分配多个缓冲区空间是很难实现和操作的,如果使用延迟线方法,又不可避免地要进行数据的移位操作。本文采取模拟循环寻址方式来实现循环缓冲区,即在一个连续的存储空间里使用判断和跳转指令来维持一个环形的缓冲区,其算法与循环寻址的算法一样:

若 $0 < \text{index} + \text{step} < \text{BK}$ 则 $\text{index} = \text{index} + \text{step}$

若 $\text{index} + \text{step} \geq \text{BK}$ 则 $\text{index} = \text{index} + \text{step} - \text{BK}$

若 $\text{index} + \text{step} < 0$ 则 $\text{index} = \text{index} + \text{step} + \text{BK}$

其中 index 是指向这片存储空间的数据指针,可以使用 DSP 内部的辅助寄存器来实现,step 是步长,一般取 1,这样通过对辅助寄存器的增减与一些必要的判断跳转指令就可以实现循环缓冲区算法,既克服了直接使用 DSP 循环寻址的限制,又避免了使用延迟线法带来的数据移位操作,通过模拟的循环寻址方式可以把上一级滤波结果放入适当的单元中,新数据覆盖老的数据,实现了“滑动窗”的操作。当然,使用判断和跳转指令来维持一个环形的缓冲区也增加了 DSP 的开销,但是使用延迟跳转指令可以把这种开销减少到最低,而且这些开销比起使用延迟线法的移位操作显然少很多。此外,采取模拟循环寻址在滤波运算时,当数据指针达到缓冲区末端时并不能像循环寻址一样自动地跳到缓冲区的开始,为了减少 DSP 的开销,本文把循环缓冲区分成老数据块和新数据块,新数据块是 DSP 要完成这一级滤波运算需要覆盖的那部分数据块,其长度等于该级滤波器的抽取因子,而老数据块则是缓冲区里的剩余部分,把这两个数据块与对应的滤波器系数乘加就得到滤波运算的结果。新老数据块的划分是根据缓冲区的当前偏移量来确定的,模拟循环寻址的内存结构与滤波计算见图 2,其中 P 是当前循环

缓冲区的偏移量, d 是抽取因子, P 加上 d 就等于老数据块开始的偏移量, 滤波结果就等于循环缓冲区与滤波系数对应新老数据块的乘加。

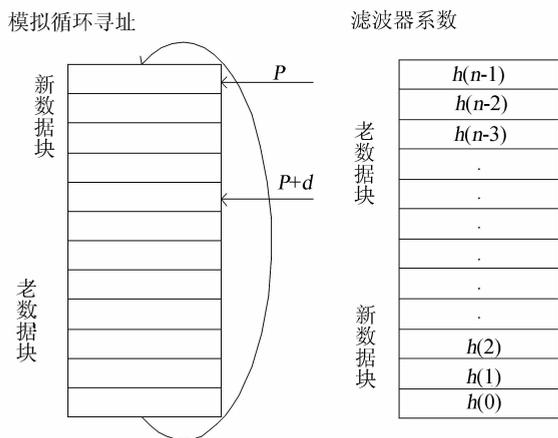


图 2 模拟循环寻址与滤波运算

Fig. 2 Simulation of circular addressing and filtering

3.4 程序测试结果与分析

在笔者的 DSP 目标板中, DSP 的工作频率是 20 MHz。测试中, 使用两种方法实现了抽取滤波器算法: 第一种方法是采用延迟线法; 第二种方法采用上述的查表法、倒序循环遍历法以及模拟循环寻址法进行了优化设计。两种方法的测试条件都是相同的: 第一、二通道输入 0.405 4 V 的直流电压, 经过 Σ - Δ 调制器后产生高速比特流数据; 三、四通道的比特流数据都为 1; 4 个通道的数据通过同步串口进入 DSP, 并保存在一个由 100 个存储单元组成的中断缓冲区中; 每个通道经四级抽取滤波后输出 100 个采样点数据。在 MATLAB 下画出这两种方法滤波后的结果(图 3 和图 4)。从图中可见, 在每个通道输出数据的开始都有一些波动, 这是由于在抽取滤波运算开始时比特流数据少, 滤波运算中把没有数据的地方初始化为 0, 从而造成滤波结果的不准确, 但是随着输入比特流的增加, 这种现象就消除了。在图 3 中, 第一、二通道在数据达到稳定后仍有一些较大的波动, 从输出的数据来看, 这些数据变化较大, 而且中断缓冲区出现溢出(约 8 000 个数据), 造成这种现象的原因是 DSP 没有及时处理进来的数据, 解决这个问题的一种方法是优化程序算法, 减少 DSP 运算量, 提高其工作效率。图 4 是采用查表法、倒序循环遍历法以及模拟循环寻址法进行了优化设计后得到的滤波结果, 中断缓冲区没有溢出, 一、二通道的输出不再出现较大的波动现象, 考虑到运算放大器和电路板的影响, 输出与实际的输入允许有一定的误差, 结果是基本相符的。三、四通道是满量程输出, 由于数据较大, 使用延迟线法出现的波

动并不能在图 3 中显示出来。

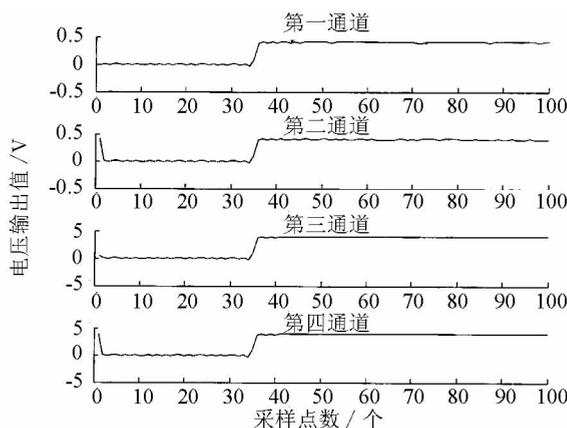


图 3 延迟线法滤波结果

Fig. 3 Filtering results with delay line method

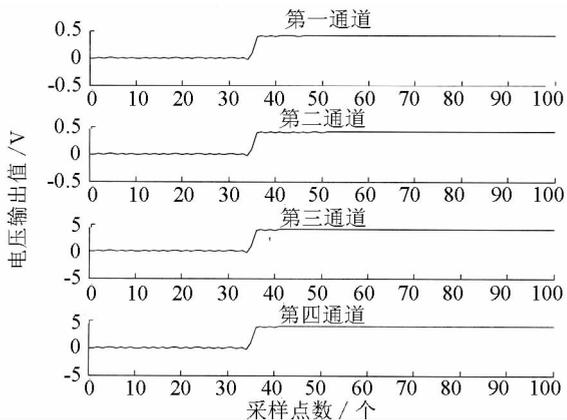


图 4 优化设计后滤波结果

Fig. 4 Filtering results after optimal design

4 总结与讨论

数字抽取滤波器是 Σ - Δ 模数转换器的关键部分, 本文采用 DSP 实现数字抽取滤波器算法, 通过查表法、倒序循环遍历法以及模拟循环寻址, 在 DSP 目标板上实现了四通道 4 级抽取滤波运算, 有效减少了 DSP 的运算量, 提高了运算效率。采用 DSP 实现抽取数字滤波算法, 可以从算法设计、内存空间管理和程序实现 3 方面优化, 算法设计上尽量减少不必要的计算, 充分利用了空闲时间; 在内存空间管理上由于是多通道多级的抽取滤波, 对存储单元的访问频繁, 组织内存空间时要充分考虑对空间访问的便捷与快速, 可以建立一个地址索引表来管理存储空间。在程序实现细节上也有许多优化技巧, 例如尽可能使用 DSP 内部的高速 RAM 和寄存器, 尽量使用并行指令, 避免流水线冲突。至于能否进一步减少运算, 设计出更高效的算法程序, 还需要更深入地研究 DSP 的结构、内部硬件配置与指令系统。

(下转第 93 页)